Mercredi 12 févr. 20

**TD2 Cache et processeur**

Exercice 1 :

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Niveau** | **Type de cache** | **Temps accès sur succès** | **Temps accès sur échec** | **Taux de succès** | **Temps accès moyen** |
| 1 | Cache L1 | 3 | 1 | 80% | 2.6 |
| 2 | Cache L2 | 5 | 2 | 90% | 4.7 + 1 = 5.7 |
| 3 | Cache L3 | 12 | 4 | 95% | 11,6 + 3 = 14.6 |
| 4 | Mémoire | 40 |  |  | 40 + 7 = 47 |

3.812 = 0.80\*3 + 0.2\*(1+0.9\*5+0.1\*(2+0.95\*12+0.05\*(4+40) ) )

L1 L2 L3 MC

1. Une mémoire centrale : 47
2. Une mémoire centrale + Cache L1 : 24.8
3. Une mémoire centrale + Cache L1, L2 : 18.43
4. Une mémoire centrale + Cache L1, L2, L3 : 17.475

L’apport de chaque niveau de cache dans cette hiérarchie améliore le temps d’accès moyen global.

Exercice 2 :

L3  
L2

L1

Registre

Bus contrôle

Bus adresses  
données

Mémoire centrale

Processeur 24bits => Bus 48 bits (24bits d’adressage + 24bits de données)

24 bits d’adressage => 224 adresses possibles ; 1 adresse => 1 octet ; 24 adresses => **16 Mio** => **16'384 Kio**

1. **0.4ns**
2. La quantité de mémoire par adresse
3. 224 octets ; lecture 3 octets en 4 cycles ; traitement 3 octets en 9 cycles

224/3 blocs de 3 octets ; (4+9) \* 224/3 \* 0.4ns => **29ms**

1. 0.77ns temps d’un cycle du processeur

Lecture 4 octets en 2 cycles ; traitement 4 octets en 5 cycles

224/4 blocs de 4 octets ; (2+5) \* 224/4 \* 0.77ns => **22.61ms**

Exercice 3 :

Compromis entre vitesse et taille => problèmes de coûts ou de technologies

Exercice 4 :